

# 抵抗性負帰還及び容量性負帰還トランスインピーダンス増幅器のシミュレーションによる性能評価

C-10

Simulated Evaluation of Transimpedance Amplifiers with Resistive Negative Feedback and Capacitive Negative Feedback

畑 真太郎 榎田 洋太郎 高野 恭弥

Shintaro HATA Yohtarō UMEDA Kyoya TAKANO

東京理科大学大学院理工学研究科

Graduate School of Science and Technology Tokyo University of Science

## 1. はじめに

近年、光通信における通信容量の大容量化及び伝送距離の長距離化が要求されている。要求を満たすため、光通信受信機に用いられるトランスインピーダンス増幅器(TIA)の帰還素子を理想的に熱雑音のないコンデンサに変えることで信号対雑音比(SNR)を向上する研究が報告されている[1][2]。しかし、同じ回路構成に抵抗性負帰還と容量性負帰還を用いた場合で雑音特性及び群遅延特性にトレードオフがどれほど発生するか検討は行われていない。本稿では、同じトランスインピーダンス、同じ遮断周波数における抵抗性負帰還 TIA 及び容量性負帰還 TIA の雑音性能を比較するため計算機シミュレーションによる評価を行う。

## 2. 電流帰還 2 段増幅回路

本稿で使用される抵抗性負帰還 TIA 及び容量性負帰還 TIA の動作原理について説明する。図 1, 図 2 のように光信号を受け取った光検出器から流れる微小電流  $I_{in}$  が帰還素子と光検出器の寄生容量  $C_D$  に流れることで電圧を発生し 1 段目のトランジスタによって増幅される。更に 2 段目のトランジスタによって出力される電流  $I_{out}$  の一部が帰還素子を通して入力電流  $I_{in}$  に帰還される。その時の帰還率  $\beta$  は

$$\beta = \frac{Z_{F2}}{Z_{F1} + Z_{F2}} \quad (1)$$

と表される。 $Z_{F1}, Z_{F2}$  は帰還素子のインピーダンスである。また、抵抗性負帰還 TIA と容量性負帰還 TIA のトランスインピーダンスは以下の式で求められる。

$$\text{抵抗性負帰還 TIA: } Z = \frac{g_{m2} R_2 \frac{A(R_{F1} + R_{F2}) + R_{F2}}{1 + g_{m2} R_{F2} + A g_{m2} R_{F2}}}{1 + s \frac{C_D(R_{F1} + R_{F2}) + g_{m2} R_{F1} R_{F2}}{1 + g_{m2} R_{F2} + A g_{m2} R_{F2}}} \quad (2)$$

$$\text{容量性負帰還 TIA: } Z = \frac{R_2 \frac{A(C_{F1} + C_{F2}) + C_{F1}}{C_D + C_{F1} + A C_{F1}}}{1 + \frac{s(C_{F1} C_D + C_{F1} C_{F2} + C_{F2} C_D)}{g_{m2}(C_D + C_{F1} + A C_{F1})}} \quad (3)$$

但し、 $A$  は 1 段目のトランジスタ  $M_1$  による電圧利得、 $g_{m2}$  は 2 段目のトランジスタ  $M_2$  の相互コンダクタンスである。トランジスタの雑音モデルは明確に定義していない。

## 3. 容量性負帰還 TIA

低雑音かつ広帯域を達成するために帰還素子にキャパシタを用いる[1]。しかし、キャパシタにより直流が遮断されてしまうため初段入力部に直流電圧を印可する必要がある。本稿では図 2 のように入力段に DC フィードを用いた固定バイアスと 2 段目のトランジスタ  $M_2$  に直流電流を流すため定電圧を印可したトランジスタ  $M_{CS}$  によってバイアス点を図 1 と図 2 で同じになるよう設計を行う。

## 4. 計算機シミュレーションによる評価

抵抗性負帰還 TIA 及び容量性負帰還 TIA の評価にはキーサイト社の Advanced Design System (ADS) を用いて検出器 (PD) に流れる入力電流を  $5 \mu A$  とし、図 3 に示す通り TIA のトランスインピーダンスが抵抗性負帰還 TIA と容量性負帰還 TIA でほぼ同じになるように(2)(3)式より表 1 のシミュレーション諸元と同じ素子値を設定し、群遅延特性及び雑音指数を測定した。トランスインピーダンスが  $62 dB\Omega$ 、遮断周波数は

1GHz とした。図 4, 5 の結果より、30~250MHz の周波数帯で容量性負帰還 TIA の方が雑音指数が低いことが分かった。また低周波帯で容量性負帰還 TIA のトランスインピーダンスが不安定であることが分かった。

## 5. まとめ

本稿では、抵抗性負帰還 TIA 及び容量性負帰還 TIA の群遅延特性と雑音性能をシミュレーションによって求めた。その結果、30~250MHz において容量性負帰還 TIA の方が雑音指数が低いことが分かった。今後は低周波帯での安定化が課題である。

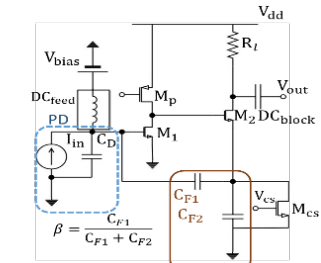
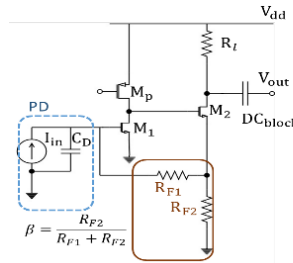


図 1. 抵抗性負帰還 TIA

図 2. 容量性負帰還 TIA

表 1. シミュレーション諸元

NMOSトランジスタ	ゲート長 length	0.18μm	
	ゲート幅 width	1μm×32Finger	
PMOSトランジスタ	ゲート長 length	0.18μm	
	ゲート幅 width	2.6μm×32Finger	
抵抗	$R_D$	100 Ω	
電源電圧	$V_{dd}$	2.5 V	
入力電流源	$I_{in}$	振幅 5 μA の正弦波	
PDの寄生容量	$C_D$	1.6 pF	
抵抗性負帰還 TIA	帰還抵抗	$R_{F1}$	1000 Ω
		$R_{F2}$	75 Ω
容量性負帰還 TIA	帰還容量	$C_{F1}$	3 pF
		$C_{F2}$	30 pF
面流バイアス電圧	$V_{cs}$	0.623 V	

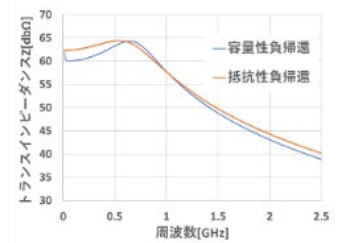


図 3. トランスインピーダンス

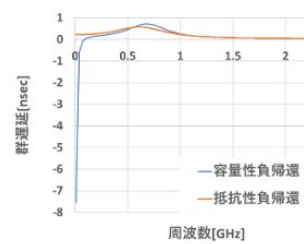


図 4. 群遅延特性

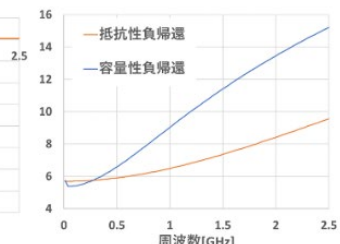


図 5. 雑音指数

## 謝辞

本研究は東京大学大規模集積システム設計教育研究センターを通じ、キーサイト・テクノロジー、ロームの協力で行了れた。

## 参考文献

- [1] Behzad Razavi, in Dig. Tech. Papers. IEEE, ISSCC, Feb. 2000, pp. 162-163. [2] Shahab Shahdoost, et al., IEEE'22nd Austrian Workshop on Microelectronics (Austrochip)' 2014 Pages: 1-5