

CTS チャージポンプ回路における漏れ電流の低減

A-1 Reduction of Leakage Current in CTS Charge Pump Circuit

田山 友樹[†]

Yuki TAYAMA[†]

[†] 明治大学大学院理工学研究科

[†] Graduate School of Science and Technology, Meiji University

和田 和千^{††}

Kazuyuki WADA^{††}

^{††} 明治大学理工学部

^{††} School of Science and Technology, Meiji University

1. はじめに

小型で小電力が要求される DC-DC コンバータの一つに、スイッチトキャパシタで構成されるチャージポンプ回路がある。本稿では、Dickson チャージポンプ回路[1]におけるしきい電圧分の電圧降下を低減できる、CTS チャージポンプ回路[2]に対し、漏れ電流を低減することで出力電圧を向上する手法を提案し、検討する。

2. 漏れ電流を低減した CTS チャージポンプ回路

図1に CTS チャージポンプ回路を示す。Dickson チャージポンプ回路では各段の電荷転送トランジスタ MD1~MD4 でしきい電圧分の電圧降下が発生していたが、MS1~MS4 を追加することにより、MD1~MD3 の電圧降下を小さくすることができる。

しかしながら、MS2 のゲート電位が MS2 のオフ期間で十分に下がらないために、C₃からの MS2 を通した漏れ電荷が顕著になる。そこで MS2 のゲート端子に図2に示す機構を追加する。MS2 がオフするべき期間で MN をオンさせて MS2 のゲート電位を十分に下げることができる。

3. 解析結果

設計には TSMC 180nm CMOS プロセスを使用し、シミュレータとして LTspice を使用した。図3に、図1における節点電位 V₁~V₃の波形を、図4に出力電圧 V_{out}の波形を示す。図3(a)の V₂より(b)の V₂が高くなっており、MS2 での漏れ電流が低減されたことが確認できる。それに伴い、V₃の波形も持ち上がっている。

さらに、図4より従来の CTS 回路に比べ、漏れ電流を低減させた CTS 回路は定常状態において出力電圧がおよそ 0.2V 高い結果が得られた。

4. 今後の課題

本稿でのチャージポンプ回路は3段構成にして検討を行ったが、段数を増やしたときについての検証が必要になる。また、シミュレーションにおいては問題が起きなかったが、実装を考慮すると図2のMNとMPが同時にオンしないように CLK3にデッドタイムを設ける手法の検討が必要である。

参考文献

[1] J. F. Dickson, "On-Chip High-Voltage Generation in NMOS Integrated Circuit Using an Improved Voltage Multiplier Technique", IEEE J. Solid-State Circuits, vol. SC-11, no.3, pp374-378, 1976

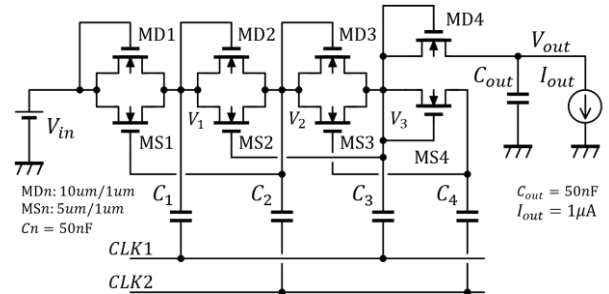


図1 従来の CTS チャージポンプ回路

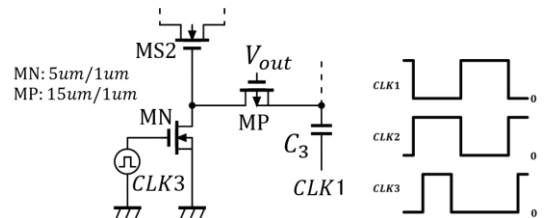
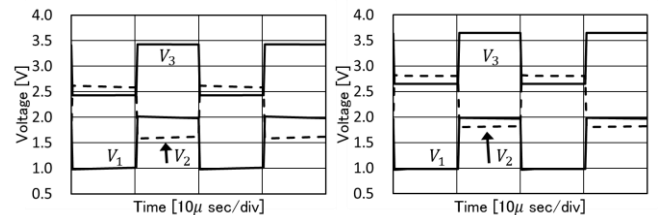


図2 MS2 のゲート端子に追加する機構



(a)従来の CTS 回路 (b)漏れ電流低減 CTS 回路

図3 各ノードのクロック電圧波形

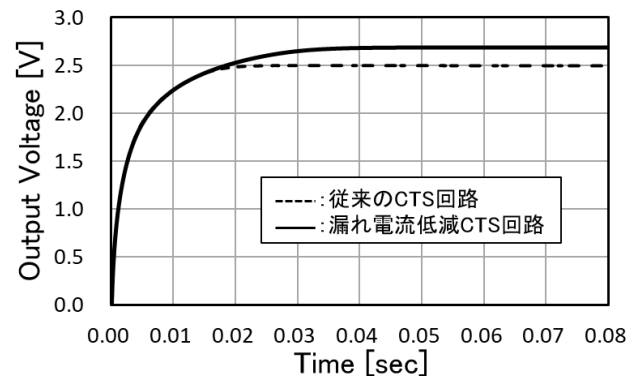


図4 出力電圧波形

[2] J Wu, K Chang, "MOS Charge Pumps for Low-voltage Operation", IEEE J. Solid-state Circuits, vol.33, no. 4, pp.592-597, April 1998