

SD数表現された値の3倍値の高速算出と乗算器への応用

Generating triple of Signed Digit represented number and application to multiplier

古賀 祐太郎 田中 勇樹 魏 書剛

Yutaro Koga Yuki Tanaka Shugang Wei

群馬大学大学院理工学府理工学専攻 知能機械創製理工学教育プログラム

Graduate School of Science and Technology, Gunma University

1. はじめに

デジタル回路における乗算器を高速化する手法の1つとしてブース符号を利用したものがあ。これは2進数の乗数をブース符号へ変換することで乗数の桁数を減らし、積を得るのに必要な部分積の生成回数を削減することで高速化を図る。乗数に8ブース符号化を適用し計算する際、被乗数の1倍、2倍、4倍の数値を算出するのは容易であるが3倍の値を算出するには加算を行う必要がありボトルネックとなりうる。

本研究ではSD数表現された値の3倍の値の算出を高速化することでSD数ブース符号乗算回路の高速化を目指す。

2. SD(Signed-Digit)数系

SD(Signed-Digit)数は、基数を2として各桁が重みと符号を持ち $\{-1,0,1\}$ の3値で整数を表現する。

$$X = \sum_{i=0}^{n-1} x_i 2^i, \quad x_i \in \{-1,0,1\}.$$

基数が2であることにに対して各桁に3種類の数値が割当て可能であるため、数表現に冗長性を持つ。

3. SD数の3倍の計算手法

3.1 SD数加算器を用いる手法

SD数は冗長性を利用することで桁上げ伝搬の発生しない加算を行うことが可能である[1]。これを用いて1倍、2倍の値の和を求めることでSD数の3倍の値を求める。

通常のSD数加算アルゴリズムにおける各桁の和 S_i は2つの入力と該当桁とその下2桁の計6桁から得られる。3Xを加算で求める場合は2つの信号が重複するため、該当桁とその下3桁の計4桁から和を得られる(図1)。そこで加算アルゴリズムは同じで4桁のSD数で和を算出する回路(3倍加算器)を作成した。

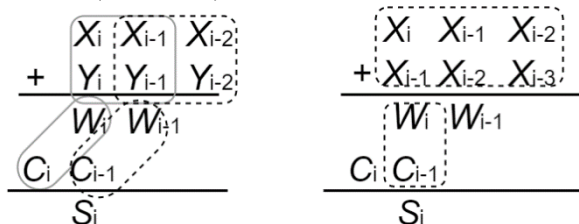


図1. 通常のSD数加算(左)と3倍を求めるSD数加算(右)での和 S_i の求め方。

3.2 SD数を正成分と負成分に分割する手法

3Xを求めるには乗数Xの各桁を並列に3倍し、その和を計算することで求めることができるが、符号の混在する加算となってしまう。そこで各桁の3倍値をSD数3桁に拡張した上で正数2桁、負数2桁の2つに分解し、正数部と負数部に分けて和を求めた上で最後に2つを加算することで3Xを求める手法を提案した。

3.3 -2進数表現を用いる手法

整数Xを奇数桁と偶数桁に分けることで3倍としたとき各項が同じ重みで重ならず簡単に求まる。3倍とした奇数部と偶数部を加算することで整数Xの3倍の値を求める。この加算に-2進数を導入して高速化を行った。

SD数表現から-2進数表現へ変換を行うと、SD数2桁は-2進数表現で4桁となる。Xの3倍値の各桁が取りうる $\{-3,0,3\}$ は-2進数で表現する場合 $\{\bar{1}101,0000,01\bar{1}1\}_{-2}$ となる。3X_iの上位2桁、下位2桁の組み合わせを検討することで桁上げ伝搬のない並列な加算で奇数部と偶数部の3Xをそれぞれ求められる。

最後に奇数部、偶数部の和から3倍の値を求める際、1桁分の重みの違いがあるため各桁で符号がすべて逆であることを利用し、和をSD数で効率よく算出できる。

4. 各算出器の性能評価

本研究ではSynopsys社のツールであるDesign Compilerを用いて、回路設計し、回路評価とシミュレーションを行った。設計した回路を0.18 μ m CMOS ゲートアレイ設計技術ライブラリで回路の性能評価を行った。

表1: SD数8桁における3X算出器の性能評価

	面積[μ m ²]	遅延[ns]	電力[μ W]
SD数加算器	2036.5	0.89	1758.0
3倍加算器	2648.4	0.73	1224.4
正負分割	1918.8	0.94	1125.1
-2進数	2248.5	0.84	1144.4

SD数加算アルゴリズムを用いた3倍加算器が最も高速であり、面積では正負に分割する手法が最小となった。

5. 謝辞

本研究の一部はJSPS 科研費補助金17K17630の助成を受け行われた。

6. 参考文献

[1]A. Avizienis, "Signed-digit number representations for fast parallel arithmetic," IRE Trans. Elect. Comput., EC10, pp. 389-400, Sept. 1961.