講演番号：30

CSD 係数 FIR フィルタの回路規模削減効果の検証

A-4 Verification of Circuit Scale Reduction Effect of CSD Coefficient FIR Filters

西牧 駿 陶山 健仁
Shun NISHIMAKI Kenji SUYAMA

東京電機大学 工学部 電気電子工学科
School of Engineering, Tokyo Denki University

1 はじめに

FIR（Finite Impulse Response）フィルタの回路規模削減には，CSD (Canonic Signed Digit) 表現によるフィルタ係数の非零桁数削減が有効である．しかし，非零桁数削減と論理回路のゲート数削減の関係は不明である．本研究では，FPGA (Field Programmable Gate Array) への実装を想定し，CSD 係数 FIR フィルタの回路規模削減の有効性を示す．

2 FIR フィルタ設計問題

次数 N が偶数，インパルス応答が偶対称のとき，FIR フィルタの振幅特性 $H(\omega)$ は次式である．

$$H(\omega) = \sum_{n=0}^{N/2} \left(\sum_{k=1}^{p} x_{n,k} 2^{-k} \right) \cos n\omega \tag{1}$$

ここで p は語長である．2 進係数の場合 $x_{n,k} \in \{1, 0\}$ である．CSD 係数の場合 $x_{n,k} \in \{1, 0, -1 = \bar{1}\}$ であり，さらに制約条件として非零桁の隣接が禁止される．いずれの表現でも，非零桁数がシフタ数に対応する．

最大誤差最小化基準による FIR フィルタ設計問題は所望特性を $D(\omega)$ とすると，次式で表される．

$$\min_{x_{n,k}} \max_{\omega \in \Omega} |D(\omega) - H(\omega)| \tag{2}$$

(2) 式よりこの問題は，近似帯域 Ω 上で $H(\omega)$ と $D(\omega)$ の最大誤差を最小化する設計変数 $x_{n,k}$ を決定する問題となる．

3 ACO による CSD 係数 FIR フィルタ設計

ACO (Ant Colony Optimization) はアリの採餌行動に示唆を得た最適化手法の 1 つである [1]．CSD 表現の非零桁数削減の有効性を示すために設計例を示す．表 1 に設計条件を示す．

表 1 設計条件

	N	p	f_p	f_s	Λ
Ex. 1	100	16	0.220	0.240	100
Ex. 2	400	16	0.150	0.151	200

表 1 において f_p は通過域端周波数，f_s は阻止域端周波数である．また，Λ は回路全体の許容非零桁数である．

表 2 に CSD 係数 FIR フィルタ (CSD) と 2 進係数 FIR フィルタ (binary) の設計結果を示す．δ は最大誤差，non zero は回路全体の非零桁数である．表 2 より，フィルタ係数の表現方法によって δ に差はないが，Ex.1 では約 64%，Ex.2 では約 79%非零桁数が削減可能である．

表 2 設計結果

		$\delta(\times 10^{-2})$	non zero
Ex. 1	CSD	1.120	100
	binary	1.005	275
Ex. 2	CSD	19.548	200
	binary	19.919	958

4 CSD 係数 FIR フィルタの回路規模の検証

設計した FIR フィルタ係数を用いて，回路規模の検証を行った．回路規模の検証には FPGA 開発ツールである Quartus Prime を使用した．Quartus Prime は論理合成，配置・配線，最適化などの機能を備えており，ハードウェア記述言語 (verilog HDL) で記述された回路を最適に構成する．記述したプログラムのコンパイル完了後，図 1 に示すようなコンパイル・レポートが生成される．

Total logic elements	1,293 / 49,760 (3 %)
Total combinational functions	1,039 / 49,760 (2 %)
Dedicated logic registers	536 / 49,760 (1 %)

図 1 コンパイル・レポート

図 1 において Total logic elements は，使用したリソース/使用可能な全リソースを表し，回路規模に相当する．本研究では，Total logic elements により回路規模の評価を行った．表 3 に検証結果を示す．

表 3 検証結果

		Total logic elements
Ex. 1	CSD	1293
	binary	3855
Ex. 2	CSD	2893
	binary	14617

表 3 より CSD は binary と比較して，Ex.1 では約 66%，Ex.2 では約 80%の回路規模削減が可能である．

5 まとめ

CSD 係数 FIR フィルタの回路規模削減効果の検証を行った．検証結果より，非零桁数削減はハードウェア実装において回路規模削減に有効であることを示した．

参考文献

[1] Tomohiro Sasahara and Kenji Suyama, “Design of CSD coefficient FIR filters using ACO,” IEICE Trans. Fundamentals, Vol.E100-A, No.8, pp.1615-1622, 2017

Copyright © 2018 IEICE