

通信用受信回路における低消費電力化の検討

C-12

Study on low power consumption in communication receivers

小林 遥希 大川 典男
Haruki Kobayashi Norio Ohkawa東京都立産業技術高等専門学校
Tokyo Metropolitan College of Industrial Technology

1. まえがき

光通信の多重化の進展や IoT 時代の無線センサーネットワークにおけるバッテリーレス動作への強い要望のため、通信用受信回路に対する低消費電力化は重要な課題となっている。受信回路の主要部である識別再生回路の単体設計では、消費電力は動作速度に依存するが、所要 BER を満たす入力電圧である識別電圧にも依存し、識別電圧を高く設定する方が最小の識別電圧で動作させるよりも低消費電力化が図れる傾向にあった[1]。しかし、識別電圧を高くすると前置増幅回路に大きな利得が要求され、前置増幅回路の消費電力が増大してしまう。

そのため、受信回路の主要部である前置増幅回路と識別再生回路を一体化設計し、受信回路全体として動作速度毎に最も低消費電力化が図れる最適な設計法について回路シミュレーションにより検討する。

2. 測定方法

今回、最初の検討回路として前置増幅回路にはソース接地回路、識別再生回路にはトランスファーゲートを用いて構成された D-FF を用いた。

受信回路への入力信号は $-20[\text{dBm}]$ と $-40[\text{dBm}]$ の 2 種類の強度を想定し、 $50[\Omega]$ 負荷により電圧に変換して検討を行った。

適用する MOSFET のゲート長は $0.18[\mu\text{m}]$ 、ゲート幅は電流量に応じ $4[\mu\text{m}]$ ~ $16[\mu\text{m}]$ とした。

3. 動作速度毎の最適識別電圧と消費電力

動作速度毎に受信回路全体としての消費電力が最も小さくなる最適識別電圧を、動作速度 $10[\text{kbit/s}]$ から $0.18\mu\text{m}$ ゲート MOSFET により構成された識別再生回路が動作可能な $1[\text{Gbit/s}]$ までの範囲で求めた。

入力信号 $-20[\text{dBm}]$ での受信回路における動作速度に対する消費電力及びその際の識別電圧 V_d の結果を図 1 に示す。

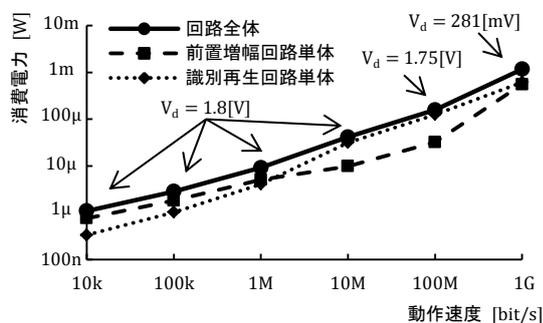


図 1. 動作速度毎の最小消費電力

$10[\text{kbit/s}]$ から $1[\text{Mbit/s}]$ 程度の低速度領域では、前置増幅回路を 2 段縦続接続して電圧利得を高め、識別電圧を電源電圧程度まで高く設定することで、識別再生回路、及び受信回路全体の消費電力は大幅に低減されている。

$10[\text{Mbit/s}]$ から $100[\text{Mbit/s}]$ 程度の中速動作領域では、動作速度が比較的速度いため、高い識別電圧による識別再生回路の消費電力の低減は小さくなっているが、この領域においても識別電圧を電源電圧と同じ程度まで高く設定した方が受信回路全体の消費電力は小さくなった。

しかし、 $1[\text{Gbit/s}]$ 程度の高速動作領域では、識別電圧を低く設定し、増幅回路の縦続接続段数を 1 段減らし、電圧利得を抑えて前置増幅回路の消費電力を低減させる方が受信回路全体の消費電力が低減することが分かった。

また、入力信号を $-40[\text{dBm}]$ とした際にも消費電力は異なるが同様の傾向が得られた。

4. 低速度での低消費電力化の検討

低速度でのさらなる低消費電力化の検討として、ソース接地回路に、電流制御により高い負荷を実現できる FET 負荷、又は大きな負荷抵抗により電圧利得を上げることができカスコード接続を適用した。

その結果、3 種類では回路全体での消費電力に大きな差は見られなかったが、マイクロチップへ実装することを考慮すると集積化の観点からは FET 負荷を適用するのが良いと考えられる。

5. 高速度での低消費電力化の検討

$1[\text{Gbit/s}]$ 程度の高速度での低消費電力化の検討として、電圧電流型の負帰還を用いて前置増幅回路の広帯域化を図り、波形の劣化を抑圧した。3 段縦続接続のうち、各段のみ、2 段目と 3 段目、及び全段で帰還をかけ、それぞれの消費電力を求めた。その結果、全段、2 段目と 3 段目に帰還をかけた回路が約 $2.2[\mu\text{W}]$ と殆ど同等で最小となった。また、1 段目のみに帰還をかけた場合は効果が殆どないことも分かった。

6. まとめ

受信回路として前置増幅回路と識別再生回路を一体化設計し、各動作速度で最適識別電圧を求めた結果、 $10[\text{kbit/s}]$ から $100[\text{Mbit/s}]$ 程度の中低速動作領域では識別電圧を高く設定した方が、 $1[\text{Gbit/s}]$ 程度の高速動作領域では識別電圧を低く設定し、前置増幅回路での消費電力を抑える方が受信回路全体の消費電力は低減された。

低速度での低消費電力化の検討として前置増幅回路の構成の変更を行った。消費電力に大きな差はなかったが、集積化の観点から FET 負荷を用いるのが良いと考えられる。

高速度での低消費電力化の検討として電圧電流型の負帰還を用いて広帯域化を図り、波形劣化を抑圧した。増幅回路の全段、2 段目と 3 段目に帰還をかけたものが受信回路全体の低消費電力化の観点から優れていることが判明した。

参考文献

[1] 小林遥希, 大川典男, “クロック電流制御、トランスミッションゲートを用いた CMOS D-FF による識別再生回路の検討”, 電子情報通信学会東京支部学生会研究発表会 C-12, 2017